

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-206491

(43)Date of publication of application : 28.07.2000

(51)Int.Cl. G02F 1/133
G09G 3/20
G09G 3/36

J1017 U.S. PTO
09/988528



(21)Application number : 11-004221

(71)Applicant : SONY CORP

(22)Date of filing : 11.01.1999

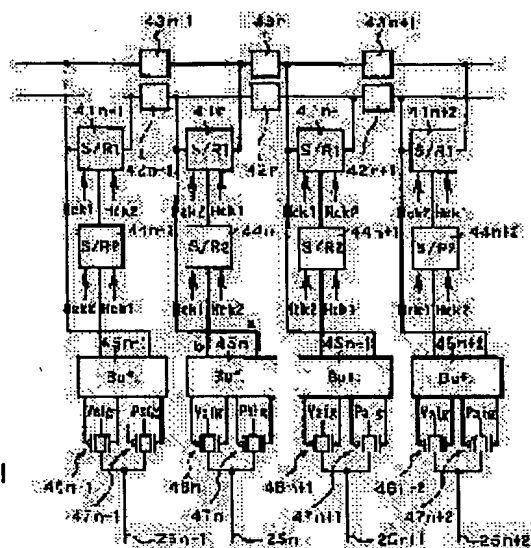
(72)Inventor : MORITA SHINTARO
MAEKAWA TOSHIIICHI
KAWAMURA AKESHI
SHIRAE MITSUYUKI

(54) LIQUID CRYSTAL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which narrows frame and reduces power consumption of a liquid crystal panel.

SOLUTION: In an active matrix type liquid crystal display device of a point sequential pre-charge system, one transfer stage from among the transfer stages arranged in the horizontal direction, a transfer input pulse of, e.g. a shift register 41n is delayed by one period of a horizontal clock Hck with serially connected shift registers 41n, 44n, and is used as a timing pulse (b) for controlling a real data writing analog switch 46n of an n-th column, and is used as a timing pulse (a) for directly controlling a pre-charging analog switch 46n of the n-th column, and a point sequential pre-charge function is given to a horizontal point sequential drive circuit.



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-206491

(P 2000-206491A)

(43) 公開日 平成12年7月28日 (2000. 7. 28)

(51) Int. Cl. 7

識別記号

FI

テーマコード* (参考)

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

2H093

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1

A 5C006

6 1 1

F 5C080

6 2 3

6 2 3

R

3/36

3/36

審査請求 未請求 請求項の数 5

O L

(全 9 頁)

J1017 U.S. PTO
09/98528

11/20/01

(21) 出願番号

特願平11-4221

(22) 出願日

平成11年1月11日 (1999. 1. 11)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 森田 真太郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

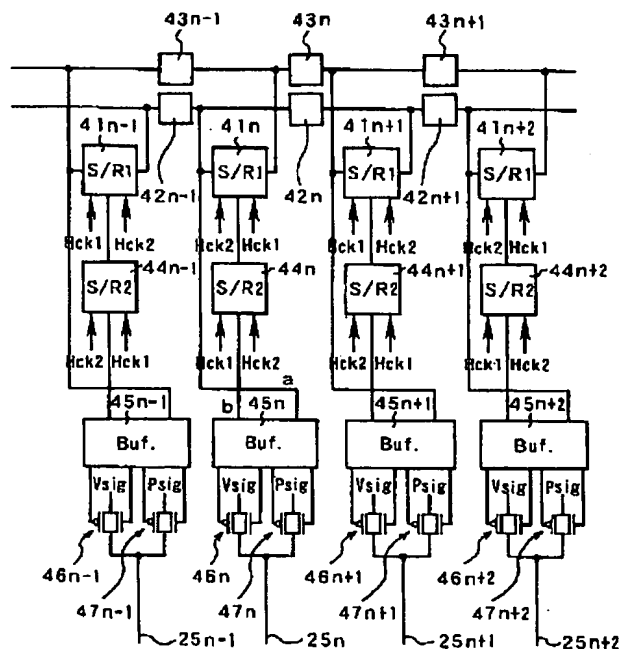
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 基本的に同じ回路構成のプリチャージ回路および水平点順次駆動回路を画素部を挟んで反対側に配置した場合、画素部の上下両側に同程度の規模の回路を配置するための領域を確保する必要があることから、額縁サイズの縮小化の妨げになり、また電力面でのデメリットも大きい。

【解決手段】 点順次プリチャージ方式のアクティブマトリクス型液晶表示装置において、水平方向に並んだ転送段のうちの1つの転送段、例えばシフトレジスタ41nの転送入力パルス、直列接続されたシフトレジスタ41n、44nで水平クロックHckの1周期分だけ遅らせてn列目の実データ書き込み用のアナログスイッチ46nを制御するタイミングパルスbとして用いるとともに、直接n列目のプリチャージ用のアナログスイッチ47nを制御するタイミングパルスaとして用い、水平点順次駆動回路に点順次プリチャージ機能をもたせる。



【特許請求の範囲】

【請求項 1】 画素部のデータ線に対応して配置され、このデータ線に対して信号を選択的に供給する第 1 のスイッチ群と、

前記データ線に対して信号の供給に先立って所定の電圧を選択的に与える第 2 のスイッチ群と、

前記データ線に対応した段数の転送段からなり、各転送段から出力される転送パルスに基づいて前記第 2 のスイッチ群の各スイッチを順次動作させるとともに、同一の転送段から出力される転送パルスに基づいて前記第 1 の

スイッチ群の各スイッチを順次動作させる駆動回路とを備えたことを特徴とする液晶表示装置。

【請求項 2】 前記駆動回路は、前記同一の転送段から出力される転送パルスに基づいて、前記第 1、第 2 のスイッチ群の各スイッチのうち、所定の転送段数だけ離れたスイッチを動作させることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記駆動回路は、転送パルスを順次出力する第 1 の転送段群と、前記第 1 の転送段群の各転送段から出力される転送パルスを所定の遅延時間だけ遅延する第 2 の転送段群とを有し、前記第 1 の転送段群の各転送段の転送入力パルス又は転送出力パルスに基づいて前記第 2 のスイッチ群の各スイッチを順次動作させるとともに、同一の転送段から出力されかつ前記第 2 の転送段群の対応する転送段を経た転送パルスに基づいて前記第 1 のスイッチ群の各スイッチを順次動作させることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 前記駆動回路は、前記第 1 の転送段群の各転送段の転送入力パルス又は転送出力パルスを極性反転した反転パルスと、同一の転送段から出力されかつ前記第 2 の転送段群の対応する転送段を経た転送パルスとの論理積をとる AND ゲートを有し、この AND ゲートの出力パルスに基づいて前記第 1 のスイッチ群の各スイッチを順次動作させることを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】 前記第 2 の転送段群は、前記第 1 の転送段群の各転送段ごとに、直列に接続された複数段の転送段からなることを特徴とする請求項 3 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関し、特にデータ線への信号の供給に先立って当該データ線に対して所定の振幅のパルス電圧を点順次にて与えることによってプリチャージを行う点順次プリチャージ方式のアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】 ビデオカメラやデジタルカメラの小型化に伴い、これらのカメラにモニターとして搭載される液晶表示装置にもその外形の小型化が要求される。液晶表

示装置のうち、水平駆動系や垂直駆動系などの周辺駆動回路を画素部と同一基板上に形成したいわゆる駆動回路一体型の液晶表示装置では、COG(chip on glass)を搭載するアモルファス液晶表示装置と異なり、ガラス基板上に結晶化されたシリコンで薄膜トランジスタを形成することから、画素部の周辺領域（以下、額縁と称す）に駆動回路を配置することになるため、額縁サイズ、ひいては液晶パネルの外形サイズに影響を及ぼすことになる。

【0003】ところで、駆動回路一体型液晶表示装置において、データ線への信号の供給に先立って当該データ線を点順次にてプリチャージする方式を採る場合、従来は、図 10 に示すように、データ線を点順次でプリチャージするプリチャージ回路 101 を、実データを点順次で書き込む水平点順次駆動回路 102 とは、画素部 103 を挟んで反対側に配置する構成を採っていた。なお、プリチャージ回路 101 は、一般的に、水平点順次駆動回路 102 と同様にシフトレジスタによって構成されている。

【0004】

【発明が解決しようとする課題】 しかしながら、上述した従来技術では、基本的に同じ回路構成のプリチャージ回路 101 および水平点順次駆動回路 102 を画素部 103 を挟んで反対側に配置した構成となっているので、画素部 103 の上下両側に同程度の規模の回路を配置するための領域を確保する必要があることから、額縁サイズの縮小化の妨げになり、また消費電力の増加やクロック供給線の高負荷容量化などに伴い電力面でのデメリットも大きかった。

【0005】 本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、液晶パネルの狭額縁化および低消費電力化を可能とした液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明による液晶表示装置は、画素部のデータ線に対応して配置され、このデータ線に対して信号を選択的に供給する第 1 のスイッチ群と、データ線に対して信号の供給に先立って所定の電圧を選択的に与える第 2 のスイッチ群と、データ線に対応した段数の転送段からなり、各転送段から出力される転送パルスに基づいて第 2 のスイッチ群の各スイッチを順次動作させるとともに、同一の転送段から出力される転送パルスに基づいて第 1 のスイッチ群の各スイッチを順次動作させる駆動回路とを備えた構成となっている。

【0007】 上記構成の点順次プリチャージ方式のアクティブマトリクス型液晶表示装置において、第 1 のスイッチ群の各スイッチは各画素に実データを書き込むためのスイッチとして機能し、第 2 のスイッチ群の各スイッチはデータ線を予めプリチャージするためのスイッチとして機能する。そして、駆動回路の複数段の転送段のう

ちの1つの転送段から出力される転送パルスは、実データを書き込むためのタイミングパルスとして用いられるとともに、プリチャージのためのタイミングパルスとしても用いられる。これにより、実データの書き込みを点順次で行うための当該駆動回路は、点順次のプリチャージ機能をも持つことになる。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係る点順次プリチャージ方式アクティブマトリクス型液晶表示装置の基本構成を示すブロック図である。

【0009】図1において、本実施形態に係る液晶表示装置10は、後述するように液晶セルが2次元マトリクス状に配置されてなる画素部11と、点順次プリチャージ機能をも備えて画素部11の例えば上側に配置され、各画素への実データの書き込みおよびプリチャージを点順次で行う水平点順次駆動回路12と、画素部11の例えば左側に配置され、各画素を行単位で順次駆動する垂直駆動回路13とを備えた構成となっている。

【0010】図2に、画素部11の構成の一例を示す。同図において、2次元マトリクス状に配置された各画素20は、スイッチング素子である薄膜トランジスタ21と、この薄膜トランジスタ21のドレイン電極に画素電極が接続された液晶セル22と、薄膜トランジスタ21のドレイン電極に一方の電極が接続された補助容量23とから構成されている。

【0011】この画素構造において、各画素20の薄膜トランジスタ21は、そのゲート電極がゲート線 \dots , $24m-1$, $24m$, $24m+1$, \dots に接続され、そのソース電極がデータ線（信号線） \dots , $25n-1$, $25n$, $25n+1$, \dots に接続されている。また、液晶セル22の対向電極は、コモン電圧VCOMが与えられるコモン線26に接続されている。

【0012】〔第1具体例〕図3は、点順次プリチャージ機能付水平点順次駆動回路12の第1具体例を示すブロック図である。

【0013】図3において、画素部11の水平方向の画素数に対応した数のシフトレジスタ(S/R) \dots , $31n-1$, $31n$, $31n+1$, \dots が設けられている。シフトレジスタ \dots , $31n-1$, $31n$, $31n+1$, \dots の各々は、例えばクロックド・インバータ構成となっており、互いに逆相の2つの水平クロックHck1, Hck2に同期してシフト動作を行う。これらシフトレジスタ \dots , $31n-1$, $31n$, $31n+1$, \dots は、画面の左右反転を実現するために、図の右方向と左方向の両方向へのスキャン（走査）が可能な接続関係となっている。

【0014】すなわち、シフトレジスタ $31n-1$ の出力端がスキャン方向制御スイッチ $32n-1$ を介してシ

フトレジスタ $31n$ の入力端に、シフトレジスタ $31n$ の出力端がスキャン方向制御スイッチ $32n$ を介してシフトレジスタ $31n+1$ の入力端に、シフトレジスタ $31n+1$ の出力端がスキャン方向制御スイッチ $32n+1$ を介してシフトレジスタ $31n+2$ の出力端に、 \dots という具合に接続されている。これにより、水平スタートパルスがシフトレジスタ $\dots \rightarrow 31n-1 \rightarrow 31n \rightarrow 31n+1 \rightarrow 31n+2 \rightarrow \dots$ の順にシフトされるので、図の右方向へのスキャンを実現できる。

10 【0015】また、シフトレジスタ $31n+2$ の出力端がスキャン方向制御スイッチ $33n+1$ を介してシフトレジスタ $31n+1$ の入力端に、シフトレジスタ $31n$ の出力端がスキャン方向制御スイッチ $33n$ を介してシフトレジスタ $31n$ の入力端に、シフトレジスタ $31n$ の出力端がスキャン方向制御スイッチ $33n-1$ を介してシフトレジスタ $31n-1$ の入力端に、 \dots という具合に接続されている。これにより、水平スタートパルスがシフトレジスタ $\dots \rightarrow 31n+2 \rightarrow 31n+1 \rightarrow 31n \rightarrow 31n-1 \rightarrow \dots$ の順にシフトされるので、図の左方向へのスキャンを実現できる。

20 【0016】シフトレジスタ \dots , $31n-1$, $31n$, $31n+1$, \dots の各々から出力される転送パルスは、水平走査パルスとして対応するバッファ(Buf.) \dots , $34n-1$, $34n$, $34n+1$, \dots に供給される。バッファ \dots , $34n-1$, $34n$, $34n+1$, \dots は、シフトレジスタ \dots , $31n-1$, $31n$, $31n+1$, \dots から与えられる水平走査パルスを互いに逆相の2つの水平走査パルスにして、例えばCMOSトランジスタからなるアナログスイッチ \dots , $35n-1$, $35n$, $35n+1$, \dots に供給する。

30 【0017】アナログスイッチ \dots , $35n-1$, $35n$, $35n+1$, \dots は、その各出力端がデータ線 \dots , $24n-1$, $24n$, $24n+1$, \dots の一端に接続されており、バッファ \dots , $34n-1$, $34n$, $34n+1$, \dots から互いに逆相の2つの水平走査パルスが与えられることによってオン状態となり、各々の信号電圧Vsigを対応するデータ線 \dots , $24n-1$, $24n$, $24n+1$, \dots に供給する。

40 【0018】このように、シフトレジスタ \dots , $31n-1$, $31n$, $31n+1$, \dots の各々から出力される転送パルスが、バッファ \dots , $34n-1$, $34n$, $34n+1$, \dots を介して互いに逆相の2つの水平走査パルスとなり、実データ書き込み用のタイミングパルスとしてアナログスイッチ \dots , $35n-1$, $35n$, $35n+1$, \dots に与えられ、これらアナログスイッチ \dots , $35n-1$, $35n$, $35n+1$, \dots が順にオン/オフ動作を行うことにより、水平方向にてスキャンが行われ、実データの書き込みが点順次で実行される。

50 【0019】また、点順次プリチャージ機能を実現するために、バッファ \dots , $34n-1$, $34n$, $34n+$

1, ...から出力される互いに逆相の2つの水平走査パルスは、例えば2列先のプリチャージ用のアナログスイッチ..., $36n-1$, $36n$, $36n+1$, ...にもプリチャージ用タイミングパルスとして供給されるようになっている。すなわち、バッファ $34n-1$ から出力される2つの水平走査パルスがアナログスイッチ $36n+1$ に、バッファ $34n$ から出力される2つの水平走査パルスがアナログスイッチ $36n+2$ に、...という具合に供給される。

【0020】このとき、左右反転の際の左右両方向へのスキャンに対応するために、ある列の例えばCMOSトランジスタからなるプリチャージ用のアナログスイッチと、2列前のバッファの2つの出力端および2列先のバッファの2つの出力端との間にはスキャン方向制御スイッチが介在している。例えば、 $n+1$ 列目のアナログスイッチ $36n+1$ については、2列前の $n-1$ 列目のバッファ $34n-1$ の2つの出力端との間に2つのスキャン方向制御スイッチ $37a$, $37b$ が介在し、また2列先の $n+3$ 列目のバッファ $34n+3$ の2つの出力端との間に2つのスキャン方向制御スイッチ（図示せず）が介在することになる。

【0021】プリチャージ用のアナログスイッチ..., $36n-1$, $36n$, $36n+1$, ...は、その各出力端が実データ書き込み用のアナログスイッチ..., $35n-1$, $35n$, $35n+1$, ...の各出力端と共にデータ線..., $24n-1$, $24n$, $24n+1$, ...の一端に接続されており、水平スキャンの際に2列前のバッファから互いに逆相の2つの水平走査パルスが、プリチャージ用タイミングパルスとして与えられることによってオン状態となり、所定の振幅のプリチャージ電圧 $Psig$ に対応するデータ線..., $24n-1$, $24n$, $24n+1$, ...に供給する。

【0022】例えば $n+1$ 列目のアナログスイッチ $36n+1$ について考えると、右方向へのスキャンの際には、2列前の $n-1$ 列目のバッファ $34n-1$ から互いに逆相の2つの水平走査パルスが出力され、アナログスイッチ $35n-1$ がオン状態となって $n-1$ 列目のデータ線 $25n-1$ に対して信号電圧 $Vsig$ が供給されるときに、当該2つの水平走査パルスにตอบสนองしてアナログスイッチ $36n+1$ がオン状態になることにより、 $n+1$ 列目のデータ線 $25n+1$ への信号電圧 $Vsig$ の供給に先立って当該データ線 $25n+1$ に対するプリチャージ電圧 $Psig$ によるプリチャージが行われる。

【0023】上述したように、点順次プリチャージ方式のアクティブマトリクス型液晶表示装置10において、水平方向に並んだ転送段のうちの1つの転送段のシフトレジスタから出力される転送パルスを、その列の実データの書き込みと例えば2列先のプリチャージの2つのタイミングを制御するタイミングパルスとして用いるようにしたことにより、水平点順次駆動回路12に点順次プ

リチャージ機能をもたせることができる。

【0024】これにより、図1において、点順次プリチャージ機能付の水平点順次駆動回路12を、画素部11に対して一方側（本例では、上側）にのみ配置することが可能となる。特に、図3の回路構成から明らかなように、従来の水平点順次駆動回路の回路構成をそのまま用い、これに点順次プリチャージ機能を付加した回路構成を採っていることから、点順次プリチャージ機能付の水平点順次駆動回路12を構成するに際しても、スペース的に従来の水平点順次駆動回路と同程度で済むことになる。

【0025】〔第2具体例〕図4は、点順次プリチャージ機能付水平点順次駆動回路12の第2具体例を示すブロック図である。

【0026】図4において、画素部11の水平方向の画素数に対応した数の第1シフトレジスタ（ $S/R1$ ）..., $41n-1$, $41n$, $41n+1$, ...が設けられている。第1シフトレジスタ..., $41n-1$, $41n$, $41n+1$, ...の各々は、例えばクロックド・インバータ構成となっており、互いに逆相の2つの水平クロック $Hck1$, $Hck2$ に同期してシフト動作を行う。これら第1シフトレジスタ..., $41n-1$, $41n$, $41n+1$, ...は、画面の左右反転を実現するために、図の右方向と左方向の両方向へのスキャンが可能な接続関係となっている。

【0027】すなわち、シフトレジスタ $41n-1$ の出力端がスキャン方向制御スイッチ $42n-1$ を介してシフトレジスタ $41n$ の入力端に、シフトレジスタ $41n$ の出力端がスキャン方向制御スイッチ $42n$ を介してシフトレジスタ $41n+1$ の入力端に、シフトレジスタ $41n+1$ の出力端がスキャン方向制御スイッチ $42n+1$ を介してシフトレジスタ $41n+2$ の出力端に、...という具合に接続されている。これにより、水平スタートパルスがシフトレジスタ... $\rightarrow 41n-1 \rightarrow 41n \rightarrow 41n+1 \rightarrow 41n+2 \rightarrow$...の順にシフトされるので、図の右方向へのスキャンを実現できる。

【0028】また、シフトレジスタ $41n+2$ の出力端がスキャン方向制御スイッチ $43n+1$ を介してシフトレジスタ $41n+1$ の入力端に、シフトレジスタ $41n$ の出力端がスキャン方向制御スイッチ $43n$ を介してシフトレジスタ $41n$ の入力端に、シフトレジスタ $41n$ の出力端がスキャン方向制御スイッチ $43n-1$ を介してシフトレジスタ $41n-1$ の入力端に、...という具合に接続されている。これにより、水平スタートパルスがシフトレジスタ... $\rightarrow 41n+2 \rightarrow 41n+1 \rightarrow 41n \rightarrow 41n-1 \rightarrow$...の順にシフトされるので、図の左方向へのスキャンを実現できる。

【0029】第1シフトレジスタ..., $41n-1$, $41n$, $41n+1$, ...に対応して第2シフトレジスタ..., $44n-1$, $44n$, $44n+1$, ...が設けられてい

る。これら第2シフトレジスタ $\dots, 44n-1, 44n, 44n+1, \dots$ も、第1シフトレジスタ $\dots, 41n-1, 41n, 41n+1, \dots$ と同様に、例えばクロック・インバータ構成となっており、互いに逆相の2つの水平クロック $Hck1, Hck2$ に同期してシフト動作を行う。

【0030】そして、第1シフトレジスタ $\dots, 41n-1, 41n, 41n+1, \dots$ の各々から出力される転送パルスが、第2シフトレジスタ $\dots, 44n-1, 44n, 44n+1, \dots$ にそれぞれ供給される。これにより、図5のタイミングチャートに示すように、第1シフトレジスタ $\dots, 41n-1, 41n, 41n+1, \dots$ の各転送入力パルス a に対して、第2シフトレジスタ $\dots, 44n-1, 44n, 44n+1, \dots$ の各々から出力される転送パルス b が、水平クロック Hck ($Hck1/Hck2$) のパルス幅を tw とすると、 $2tw$ (水平クロック Hck の1周期) だけシフトされた位相関係となる。

【0031】ここで、第1シフトレジスタ $\dots, 41n-1, 41n, 41n+1, \dots$ の各転送入力パルス a は、プリチャージのための第1の水平走査パルスとしてバッファ $\dots, 45n-1, 45n, 45n+1, \dots$ に供給され、また第2シフトレジスタ $\dots, 44n-1, 44n, 44n+1, \dots$ の各々から出力される転送パルス b は、実データの書き込みのための第2の水平走査パルスとしてバッファ $\dots, 45n-1, 45n, 45n+1, \dots$ に供給される。

【0032】これらバッファ $\dots, 45n-1, 45n, 45n+1, \dots$ は、第2シフトレジスタ $\dots, 44n-1, 44n, 44n+1, \dots$ から与えられる水平走査パルス b を互いに逆相の2つの水平走査パルスにして、例えばCMOSトランジスタからなるアナログスイッチ $\dots, 46n-1, 46n, 46n+1, \dots$ に供給し、また第1シフトレジスタ $\dots, 41n-1, 41n, 41n+1, \dots$ から与えられる水平走査パルス a を互いに逆相の2つの水平走査パルスにして、例えばCMOSトランジスタからなるアナログスイッチ $\dots, 47n-1, 47n, 47n+1, \dots$ に供給する。

【0033】アナログスイッチ $\dots, 46n-1, 46n, 46n+1, \dots$ は、その各出力端がデータ線 $\dots, 24n-1, 24n, 24n+1, \dots$ の一端に接続されており、バッファ $\dots, 34n-1, 34n, 34n+1, \dots$ から水平走査パルス a に基づいて互いに逆相の2つの水平走査パルスが、実データ書き込み用タイミングパルスとして与えられることによってオン状態となり、各々の信号電圧 $Vsig$ に対応するデータ線 $\dots, 24n-1, 24n, 24n+1, \dots$ に供給する。

【0034】このように、第1シフトレジスタ $\dots, 41n-1, 41n, 41n+1, \dots$ の各入力パルス a が、バッファ $\dots, 45n-1, 45n, 45n+1, \dots$ を介

して互いに逆相の2つの水平走査パルスとなり、プリチャージ用タイミングパルスとしてアナログスイッチ $\dots, 47n-1, 47n, 47n+1, \dots$ に与えられ、これらアナログスイッチ $\dots, 47n-1, 47n, 47n+1, \dots$ が順にオン/オフ動作を行うことにより、当該水平走査パルス a に基づく実データの書き込みに先立って、それよりも水平クロック Hck の1周期分 ($2tw$) だけ前にデータ線 $\dots, 25n-1, 25n, 25n+1, \dots$ に対してプリチャージ電圧 $Psig$ が与えられ、プリチャージが点順次で実行される。

【0035】また、第2シフトレジスタ $\dots, 44n-1, 44n, 44n+1, \dots$ の各々から出力される転送パルス b が、バッファ $\dots, 45n-1, 45n, 45n+1, \dots$ を介して互いに逆相の2つの水平走査パルスとなり、実データ書き込み用タイミングパルスとしてアナログスイッチ $\dots, 46n-1, 46n, 46n+1, \dots$ に与えられ、これらアナログスイッチ $\dots, 46n-1, 46n, 46n+1, \dots$ が順にオン/オフ動作を行うことにより、水平方向にてスキャンが行われ、実データの書き込みが点順次で実行される。

【0036】上述したように、点順次プリチャージ方式のアクティブマトリクス型液晶表示装置10において、水平方向に並んだ転送段のうちの1つの転送段、例えばシフトレジスタ $41n-1$ から出力される転送パルス、即ちシフトレジスタ $41n$ の転送入力パルスを、直列接続されたシフトレジスタ $41n, 44n$ を通して例えば水平クロック Hck の1周期分 ($2tw$) だけ遅らせて n 列目の実データの書き込みのタイミングを制御するタイミングパルスとして用いるとともに、直接 n 列目のプリチャージのタイミングを制御するタイミングパルスとして用いるようにしたことにより、水平点順次駆動回路12に点順次プリチャージ機能をもたせることができる。

【0037】また、先述した第1具体例に係る水平点順次駆動回路と比較した場合に、第2シフトレジスタ $\dots, 44n-1, 44n, 44n+1, \dots$ を追加する分だけ回路構成が若干複雑になるものの、第1具体例の場合のように、自段の転送段で発生された1つのタイミングパルス (転送パルス) を、自段の実データの書き込み用のアナログスイッチと、プリチャージすべきタイミング分だけ離れた他段のプリチャージ用のアナログスイッチへ伝送するための配線について、その引き回しを必要としないために、本具体例に係る水平点順次駆動回路の方が、回路の占有面積を小さくできることになる。

【0038】さらに、左右反転についても第1シフトレジスタ $\dots, 41n-1, 41n, 41n+1, \dots$ にて処理されることから、図3におけるスキャン方向制御スイッチ37a, 37bが不要となるため、その分だけ回路構成を簡略化できることになる。これに加えて、スキャン方向制御スイッチが不要であることに伴って次のよう

10

20

30

40

50

な利点もある。

【0039】すなわち、スキャン方向制御スイッチ 37 a, 37 b を構成する例えば MOS トランジスタは抵抗が大きいことから、当該スキャン方向制御スイッチを必要とする第 1 具体例の場合には、バッファ…、34n-1, 34n, 34n+1, …として駆動能力の大きいものが要求され、それに伴って駆動トランジスタのサイズが大きくならざるを得ない。これに対して、第 2 具体例の場合には、スキャン方向制御スイッチが不要であることから、バッファ…、45n-1, 45n, 45n+1, …として駆動能力の小さいものを用いれば良いため、駆動トランジスタのサイズは小さくて済み、その分だけ回路の占有面積をさらに小さくできることになる。

【0040】なお、この第 2 具体例では、第 1 シフトレジスタ…、41n-1, 41n, 41n+1, …の転送入力パルスを自段のプリチャージ用のタイミングパルスとして用いるとしたが、第 1 シフトレジスタ…、41n-1, 41n, 41n+1, …の各々から出力される転送出力パルスを自段のプリチャージ用のタイミングパルスとして用いることも可能である。ただし、この場合には、タイミング遅延のためにシフトレジスタを 1 段分追加する必要が生じる。したがって、転送入力パルスを自段のプリチャージ用のタイミングパルスとして用いた方が、タイミング遅延のためのシフトレジスタの段数を最小限にできるため、回路規模を縮小する上で有利である。

【0041】ところで、プリチャージの動作は実データの書き込みに先立って行われている必要があることから、図 5 のタイミングチャートにおいて、プリチャージ用タイミングパルス a と実データ書き込み用タイミングパルス b とはオーバーラップしないことが条件となる。しかしながら、第 2 具体例に係る水平点順次駆動回路において、第 1 シフトレジスタ…、41n-1, 41n, 41n+1, …および第 2 シフトレジスタ…、44n-1, 44n, 44n+1, …を構成する回路素子のパラツキなどに起因して、両タイミングパルス a, b のパルス幅が変動してオーバーラップする虞れがある。

【0042】そこで、第 2 具体例に係る水平点順次駆動回路の変形例として、プリチャージ用タイミングパルス a と実データ書き込み用タイミングパルス b がオーバーラップしないように制御するための回路構成を提案する。以下、その 2 つの変形例について説明する。

【0043】〔第 1 変形例〕図 6 は、第 2 具体例に係る水平点順次駆動回路の第 1 変形例を示すブロック図であり、図中、図 4 と同等部分には同一符号を付して示してある。なお、ここでは、説明を簡略化して理解を容易にするために、n 列目の回路構成のみを示すものとする。

【0044】図 6 において、第 1 シフトレジスタ 41n の転送入力パルス a が第 1 の水平走査パルスとして直接バッファ 45n に供給されるとともに、インバータ 48

で極性反転され、その反転パルス c が AND ゲート 49 の一方の入力となる。NAND ゲート 49 の他方の入力としては、第 2 シフトレジスタ 44n から出力される転送パルス b が与えられる。NAND ゲート 49 の出力パルス d は、インバータ 50 で極性反転され、その反転パルス e が第 2 の水平走査パルスとしてバッファ 45n に供給される。

【0045】このように、第 1 シフトレジスタ 41n の転送入力パルス a の反転パルス c と第 2 シフトレジスタ 44n から出力される転送パルス b との論理積をとることにより、図 7 のタイミングチャートから明らかなように、プリチャージ用タイミングパルス a と実データ書き込み用タイミングパルス e とが絶対にオーバーラップしないようにすることができる。

【0046】例えば、第 2 シフトレジスタ 44n から出力される転送パルス b のパルス幅が、図 7 に点線で示す如く変動し、第 1 シフトレジスタ 41n の転送入力パルス a と第 2 シフトレジスタ 44n から出力される転送パルス b がオーバーラップしたと仮定した場合、当該転送パルス b が第 1 シフトレジスタ 41n の転送入力パルス a の反転パルス c と論理積をとられることで、NAND ゲート 49 の出力パルス d は転送入力パルス a と同相のパルスとなるため、その反転パルスである実データ書き込み用タイミングパルス e は、第 1 シフトレジスタ 41n の転送入力パルスであるプリチャージ用タイミングパルス a と絶対にオーバーラップすることはないのである。

【0047】〔第 2 変形例〕図 8 は、第 2 具体例に係る水平点順次駆動回路の第 2 変形例を示すブロック図であり、図中、図 4 と同等部分には同一符号を付して示してある。この第 2 変形例では、第 2 具体例の場合には 2 段直列接続であったシフトレジスタを 3 段以上直列に接続し、その段数に応じてプリチャージ用タイミングパルス a に対する実データ書き込み用タイミングパルス b の遅延時間を任意に設定できるようにした構成を採っている。すなわち、N 段 ($N \geq 3$) のシフトレジスタ…、41n-1, 41n, 41n+1, …、……、4Nn-1, 4Nn, 4Nn+1, …を、各列 (各転送段) ごとに直列に接続した構成となっている。

【0048】このように、シフトレジスタを N 段直列に接続した構成を採ることにより、プリチャージ用タイミングパルス a に対して実データ書き込み用タイミングパルス b をその段数に応じた遅延時間だけ遅らせることができる。したがって、プリチャージ用タイミングパルス a と実データ書き込み用タイミングパルス b は絶対にオーバーラップすることはないのである。そして、水平クロック Hck のパルス幅を t_w とし、シフトレジスタの段数を N とすると、遅延時間は、 $t_w \times N$ で設定されることになる。図 9 に、 $N=4$ の場合のタイミング関係を示す。

【0049】ここで、遅延時間を延ばす場合を考えた場合、図3に示した第1具体例のように配線を引き回す方式では、配線数とともにバッファ \dots , $34n-1$, $34n$, $34n+1$, \dots のサイズまでが増大することになる。これに対して、この第2変形例に係る回路構成では、遅延時間を増やすためには同一サイズのシフトレジスタを1段ずつ増やすだけで良いため、回路規模の上でも有利である。

【0050】

【発明の効果】以上説明したように、本発明によれば、点順次プリチャージ方式のアクティブマトリクス型液晶表示装置において、水平方向に配置された複数段の転送段のうちの1つの転送段から出力される転送パルスを実データを書き込むためのタイミングパルスとして用いるとともに、プリチャージのためのタイミングパルスとしても用い、実データの書き込みを点順次で行うための駆動回路に、点順次のプリチャージ機能をもたせるようにしたことにより、画素部の周辺回路としての回路規模を縮小できるため、液晶パネルの狭額縁化および低消費電力化が可能となる。

【0051】これにより、ビデオカメラやデジタルカメラにモニターとして搭載される液晶表示装置において、その外形を小型化できるため、ビデオカメラやデジタルカメラの小型化に大きく寄与できることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る点順次プリチャージ方式アクティブマトリクス型液晶表示装置の基本構成を示すブロック図である。

【図2】画素部の構成の一例を示す回路図である。

【図3】点順次プリチャージ機能付水平点順次駆動回路の第1具体例を示すブロック図である。

【図4】点順次プリチャージ機能付水平点順次駆動回路の第2具体例を示すブロック図である。

【図5】第2具体例の動作説明のためのタイミングチャートである。

【図6】第2具体例の第1変形例を示すブロック図である。

【図7】第1変形例の動作説明のためのタイミングチャートである。

【図8】第2具体例の第2変形例を示すブロック図である。

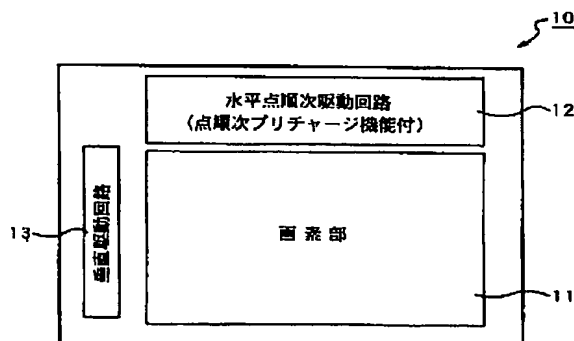
【図9】第2変形例の動作説明のためのタイミングチャートである。

【図10】従来例の構成を示すブロック図である。

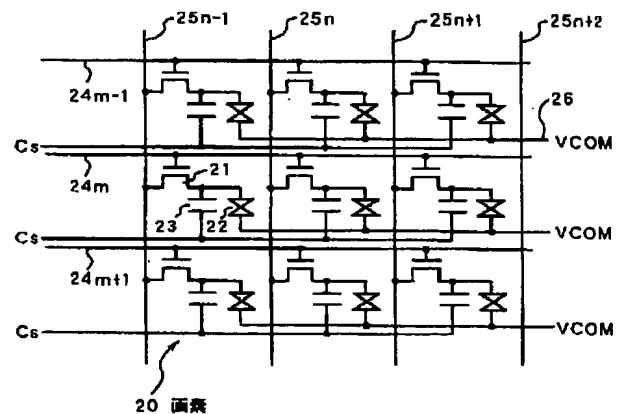
【符号の説明】

11…画素部、12…点順次プリチャージ機能付水平点順次駆動回路、13…垂直駆動回路、20…画素、21…薄膜トランジスタ、22…液晶セル、25n-1, 25n, 25n+1, 25n+2…データ線、31n-1, 31n, 31n+1, 31n+2, 41n-1, 41n, 41n+1, 41n+2, 44n-1, 44n, 44n+1, 44n+2…シフトレジスタ、32n-1, 32n, 32n+1, 33n-1, 33n, 33n+1, 42n-1, 42n, 42n+1, 43n-1, 43n, 43n+1…スキャン方向制御スイッチ、34n-1, 34n, 34n+1, 34n+2, 45n-1, 45n, 45n+1, 45n+2…バッファ、35n-1, 35n, 35n+1, 35n+2, 46n-1, 46n, 46n+1, 46n+2…実データ書き込み用アナログスイッチ、36n-1, 36n, 36n+1, 36n+2, 47n-1, 47n, 47n+1, 47n+2…プリチャージ用アナログスイッチ

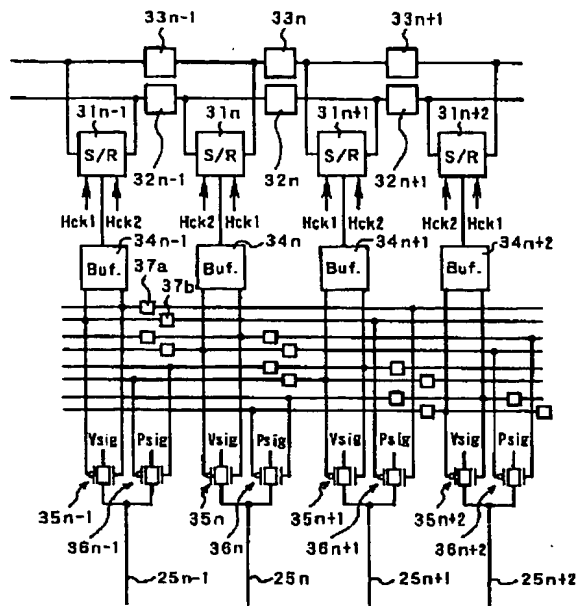
【図1】



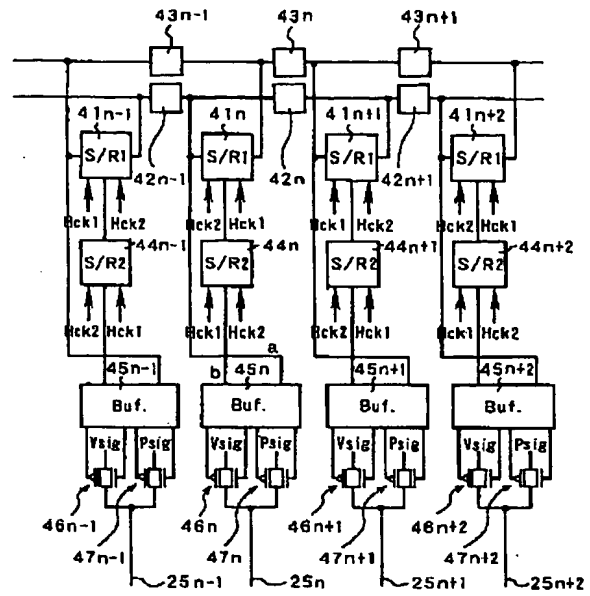
【図2】



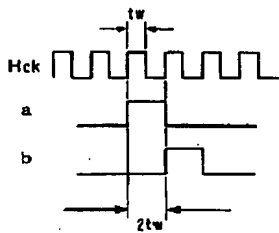
【図 3】



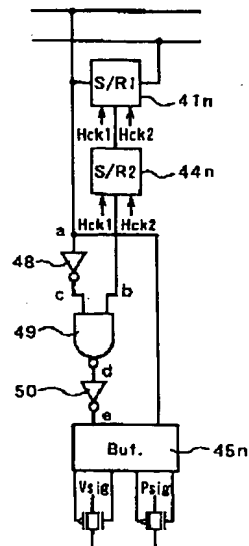
【図 4】



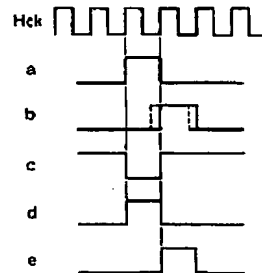
【図 5】



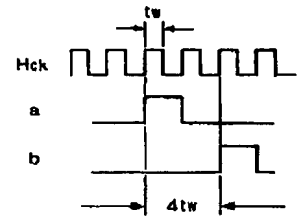
【図 6】



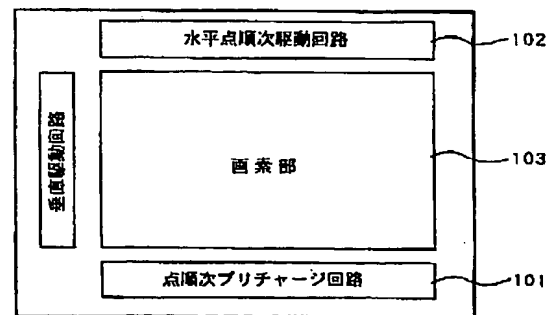
【図 7】



【図 9】



【図 10】



(72)発明者 河村 明士
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 白江 光行
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

F ターム (参考)

2H093	NA42	NC10	NC12	NC16	NC22
	ND34	ND39	ND42	ND49	
5C006	AC09	AF72	BB16	BC12	BC16
	BF03	BF26	BF27	BF34	FA16
	FA41	FA47			
5C080	AA10	BB05	DD22	DD26	FF11
	JJ02	JJ04			